

10/532078  
PCT/JP2004/015295  
Rec'd PCT/PTO 21 APR 2005  
08.10.2004

日本国特許庁

JAPAN PATENT OFFICE

JP04/15295

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2003年10月 9日

REC'D 26 NOV 2004

出願番号  
Application Number:

特願2003-351159

WFO PCT

[ST. 10/C]: [JP 2003-351159]

出願人  
Applicant(s):

キヤノン株式会社

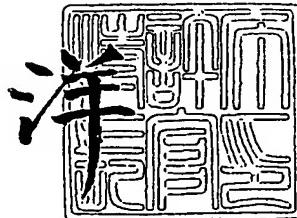
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年11月12日

特許長官  
Commissioner,  
Japan Patent Office

小川



【書類名】 特許願  
【整理番号】 254245  
【提出日】 平成15年10月 9日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 29/00  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
【氏名】 海野 章  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
【氏名】 佐藤 尚武  
【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
【氏名】 宮崎 元  
【特許出願人】  
【識別番号】 000001007  
【氏名又は名称】 キヤノン株式会社  
【代表者】 御手洗 富士夫  
【代理人】  
【識別番号】 100069017  
【弁理士】  
【氏名又は名称】 渡辺 徳廣  
【電話番号】 03-3918-6686  
【手数料の表示】  
【予納台帳番号】 015417  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9703886

**【書類名】特許請求の範囲****【請求項 1】**

主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が有機半導体層に接して設けられていることを特徴とする有機半導体素子。

**【請求項 2】**

前記高分子層はメタクリル酸メチルおよびジビニルベンゼンの共重合体からなることを特徴とする請求項1記載の有機半導体素子。

**【請求項 3】**

前記メタクリル酸メチル(A)およびジビニルベンゼン(B)の共重合体は、モノマー ユニット比率でA:B=1:0.001~0.04であることを特徴とする請求項1または2記載の有機半導体素子。

**【請求項 4】**

前記高分子層の厚さが5nm以上30nm以下であることを特徴とする請求項1乃至3のいずれかの項に記載の有機半導体素子。

**【請求項 5】**

前記高分子層が有機半導体層とゲート絶縁膜の間に設けられており、該高分子層と接するゲート絶縁膜の表面粗さRaが5nm以下であることを特徴とする請求項1乃至4のいずれかの項に記載の有機半導体素子。

**【請求項 6】**

基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極/ドレイン電極、及び保護膜がこの順に設けられている有機半導体素子において、前記有機半導体層に接して、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が設けられていることを特徴とする請求項1乃至5のいずれかの項に記載の有機半導体素子。

**【請求項 7】**

基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極/ドレイン電極、有機半導体層、及び保護膜がこの順に設けられている有機半導体素子において、前記有機半導体層に接して、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が設けられていることを特徴とする請求項1乃至5のいずれかの項に記載の有機半導体素子。

**【請求項 8】**

基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極/ドレイン電極のいずれか一方、有機半導体層、ソース電極/ドレイン電極のいずれか一方、及び保護膜がこの順に設けられている有機半導体素子において、前記有機半導体層に接して、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が設けられていることを特徴とする請求項1乃至5のいずれかの項に記載の有機半導体素子。

**【請求項 9】**

主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が有機半導体層に接して設けられている有機半導体素子の製造方法において、前記高分子層をスピンドルコート法あるいはスプレー塗布法により形成することを特徴とする有機半導体素子の製造方法。

**【請求項 10】**

請求項1乃至8のいずれかに記載の有機半導体素子を用いた有機半導体装置。

**【請求項 11】**

主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層と有機半導体層との積層体からなることを特徴とする有機薄膜電界効果トランジスター。

**【請求項 12】**

前記高分子層はメタクリル酸メチルおよびジビニルベンゼンの共重合体からなることを特徴とする請求項11記載の有機薄膜電界効果トランジスター。

【書類名】明細書

【発明の名称】有機半導体素子、その製造方法および有機半導体装置

【技術分野】

【0001】

本発明は、有機半導体素子、その製造方法およびその有機半導体素子を用いたアクティブマトリクス型表示装置或いは有機半導体素子をICカード電子タグとして用いた有機半導体装置に関する。

【背景技術】

【0002】

過去10年にわたって、有機半導体薄膜トランジスター（有機TFT）を用いるIC技術が提案されている。このような回路の主な魅力は、処理の容易性および可撓性基板との適合性が期待されることに起因する。これらの利点は、スマートカード、電子タグ、およびディスプレイなどの応用に適した低コストIC技術に利用されることが期待される。

【0003】

一般的な有機TFTは、ガラス基板、ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極及び有機半導体層の構成からなる。ゲート電極に印加する電圧（ゲート電圧、 $V_g$ ）を変えることで、ゲート絶縁膜と有機半導体層の界面の電荷量を過剰、或いは不足にして、ソース電極／有機半導体層／ドレイン電極間に流れるドレイン電流値（ $I_d$ ）を変化させ、スイッチングを行う。

【0004】

有機TFTの性能を示す物理量として、移動度、オン／オフ比、ゲート電圧しきい値が用いられる。移動度は、 $I_d^{1/2}$ （ドレイン電流）と $V_g$ （ゲート電圧）が線形関係にある飽和領域における、 $I_d^{1/2}-V_g$ 曲線の傾きに比例し、電流の流れ易さの度合いを示す。オン／オフ比は、 $V_g$ を変化させた時の最小 $I_d$ と最大 $I_d$ の強度比で表される。ゲート電圧しきい値は、前記飽和領域における、 $I_d^{1/2}-V_g$ 曲線に接する直線のX切片で定義され、スイッチングが起こるゲート電圧を示す。

【0005】

有機TFTの特性の目的値としては、現行アクティブマトリクス液晶表示装置に用いられているa-Si TFTの値が考えられている。すなわち、移動度が $0.3 \sim 1 \text{ cm}^2/\text{Vs}$ 、オン／オフ比が $10^6$ 以上、ゲート電圧しきい値が $1 \sim 2 \text{ V}$ である。

【0006】

ポリマーをベースとしたTFTデバイスにおける近年の進歩については、例えば、特許文献1～3に記載されている。これらの特許に記載されているように、n型およびp型活性ポリマー材料の開発に伴って、特に特許文献4に詳述されているように、相補ICが容易に実現できるようになった。

【0007】

また、電界効果トランジスター特性を向上させるためにいくつもの試みがなされている。

例えば、十分にπ共役系の広がった有機半導体材料を用いること、有機半導体材料の薄膜の結晶性を向上させること、有機半導体材料にメチル基を導入することでドナー性を向上させてp型の半導体としての性質を向上させること、重合度のばらつきのある有機半導体ではなく単一の重合度のオリゴマーの有機半導体材料を用いることなどにより、電界効果トランジスターの性能を決める重要なパラメータであるキャリアの移動度の向上がはかられている。

【0008】

最も最近の研究では有機TFTの特性は、低分子型であれ、高分子型であれ、有機半導体層の結晶性と相関性があることがわかってきてている。例えば、アモルファス形状の有機半導体層を用いた有機TFTでは、高移動度、高オン／オフ比の両立は不可能であることが開示されている（例えば、非特許文献1参照。）。また、結晶性の高いペンタセン蒸着膜を半導体層に用いた有機TFTの作製方法、及びそのTFTの特性が移動度 $0.62 \text{ cm}^2/\text{Vs}$

$\text{m}^2/\text{V s}$ 、オン/オフ比 $10^8$ 以上、ゲートしきい値電圧 $-18\text{ V}$ という高特性であることが開示されている（例えば、非特許文献2参照。）。

#### 【0009】

有機半導体層の下に下地層を設けて、下地層により有機半導体層の結晶性を向上させる試みも行われている。特許文献5には、下地層にポリテトラフルオロエチレン（PTFE）配向膜を用いて、オリゴチオフェン化合物等の有機半導体層を配向化される製造方法が開示されている。この場合、PTFE膜は、固体を一定圧力でスライドさせ基板表面上に形成するため、基板の大面積化は難しい。また、有機半導体層の分子はPTFE膜の配向方向に揃った配列をとるため、分子間のキャリア伝導が難しくなり、期待される特性は得にくい。

#### 【0010】

また、特許文献6には、ソース電極とドレイン電極を結ぶ向きに有機半導体層が配向するように配向膜を設けた有機TFTの作製方法が開示されている。この場合も、上述した理由で分子間伝導が難しく、高特性は得にくい。

#### 【0011】

また、非特許文献3には、垂直配向膜の一種であるオクタデシルトリクロロシランを塗布したゲート絶縁膜表面上に2層のペンタセン蒸着膜を形成すると、高性能の有機TFTを得ることが開示されている。この場合、TFT特性評価には、ドレイン電圧が $-80\text{ V}$ 、ゲート電圧が $-100\text{ V}$ が用いられており、半導体素子に印加する電圧としては高すぎる。

#### 【0012】

また、特許文献7には、ゲート絶縁層の表面にディップ法で膜厚 $0.3 \sim 10\text{ nm}$ のフッ素系ポリマー層を形成し、その上に結晶性の有機半導体層を形成する有機半導体装置が示されているが、このような方式ではゲート絶縁膜の間に界面が形成するために高いモビリティーが期待できないし、記載の構成からすると駆動の電圧が大きくなってしまう。更には有機半導体層の結晶層が2つのピークを持つことから配向が充分ではなく、大きな特性の向上は期待できない。

#### 【0013】

また、特許文献7には、フッ素膜の上のペンタセンが2つの結晶軸を持つ事で移動度が上昇しているが、本発明では界面処理としてメタクリル酸メチルとジビニルベンゼンの共重合体を使用し、しかも本デバイスはペンタセン分子のC軸配向率が高いほどトランジスターの移動度が上昇していることから本質的に異なる機構による発明と考えられる。

#### 【0014】

また、特許文献8には、ペンタセンを用いた有機半導体において、表面修飾の効果を下記のように詳細に記述されている。表面修飾方法として、基板との化学的親和性を利用した自己組織化法を利用して比較的低分子量の単一分子を利用した配向結晶化を試み、シリコン基板において、同一の成膜条件、すなわち昇華精製したペンタセンを $1.33 \times 10^{-4}\text{ Pa}$ の減圧下で、 $0.05\text{ nm}$ の成膜速度、 $50\text{ nm}$ の膜厚生成で表面処理効果を比較検討している。その結果では、1-ホスホノヘキサデカンで表面処理した場合（膜厚 $1.9\text{ nm}$ ）、移動度 $2.05\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 、オン/オフ比 $2.4 \times 10^6$ を実現している。

#### 【0015】

すなわち、基板修飾が有機半導体の特性を大きく支配していることを示唆する。しかしこのような分子膜で修飾しようとすると、基板、特にゲート絶縁膜の表面があれています効果を發揮できなくなるという問題が発生していた。また単分子膜を安定して形成するために大がかりな装置と時間が必要となり、コストがアップしてしまうという問題や膜の密着力が弱くなるといった問題もある。

【特許文献1】米国特許第5,596,208号

【特許文献2】米国特許第5,625,199号

【特許文献3】米国特許第5, 574, 291号  
 【特許文献4】米国特許第5, 625, 199号  
 【特許文献5】特開平07-206599号公報  
 【特許文献6】特開平09-232589号公報  
 【特許文献7】特開2001-94107号公報  
 【特許文献8】米国特許第6, 433, 359号

【非特許文献1】A. R. Brown, D. M. de Leeuw, E. E. Hovinga, and A. Pomp, "Synthetic Metals", Vol. 68, P. P. 65-70, 1994年

【非特許文献2】Y-Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "IEEE Transactions on Electron Devices", Vol. 44, No. 8 P. P. 1325-1331, 1997年

【非特許文献3】Y-Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "IEEE Electron Devices Letters", Vol. 18, No. 12 P. P. 606-608, 1997年

#### 【発明の開示】

#### 【発明が解決しようとする課題】

##### 【0016】

有機TFTの特性向上のためには、有機半導体層の結晶性向上と素子構成の工夫、さらには絶縁膜等の高性能化が重要である。

本発明は、上記問題点を解決するためになされたものであり、大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができ、高い移動度を有する有機半導体素子を提供するものである。

##### 【0017】

更には、動作が安定で、低電圧で駆動することが可能で素子の寿命も長く、製造方法も簡便にできる有機半導体素子を提供するものである。

また、上記の有機半導体素子を用いた、アクティブマトリクス型表示装置或いは有機半導体素子をICカード電子タグとして用いた有機半導体装置を提供するものである。

#### 【課題を解決するための手段】

##### 【0018】

即ち、本発明は、主鎖あるいは側鎖にπ電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が有機半導体層に接して設けられていることを特徴とする有機半導体素子である。

##### 【0019】

前記高分子層はメタクリル酸メチルおよびジビニルベンゼンの共重合体からなることが好ましい。

前記メタクリル酸メチル(A)およびジビニルベンゼン(B)の共重合体は、モノマーユニット比率でA:B=1:0.001~0.04、好ましくはA:B=1:0.001~0.02であることが望ましい。

##### 【0020】

前記高分子層の厚さが5nm以上30nm以下、好ましくは5nm以上20nm以下であることが望ましい。

前記高分子層が有機半導体層とゲート絶縁膜の間に設けられており、該高分子層と接するゲート絶縁膜の表面粗さRaが5nm以下であることが好ましい。

##### 【0021】

また、本発明は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極/ドレイン電極、及び保護膜がこの順に設けられている有機半導体素子において、前記有機半導体層に接して、主鎖あるいは側鎖にπ電子共役あるいは芳香環を有する重合体あ

るいは共重合体、またはそれらの混合物を含有する高分子層が設けられていることを特徴とする有機半導体素子である。

#### 【0022】

また、本発明は、基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極、有機半導体層、及び保護膜がこの順に設けられている有機半導体素子において、前記有機半導体層に接して、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が設けられていることを特徴とする有機半導体素子である。

#### 【0023】

また、本発明は、基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極のいずれか一方、有機半導体層、ソース電極／ドレイン電極のいずれか一方、及び保護膜がこの順に設けられている有機半導体素子において、前記有機半導体層に接して、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が設けられていることを特徴とする有機半導体素子である。

。

#### 【0024】

また、本発明は、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が有機半導体層に接して設けられている有機半導体素子の製造方法において、前記高分子層をスピンドルコート法あるいはスプレー塗布法により形成することを特徴とする有機半導体素子の製造方法である。

#### 【0025】

また、本発明は、上記の有機半導体素子を用いた有機半導体装置である。

また、本発明は、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層と有機半導体層との積層体からなることを特徴とする有機薄膜電界効果トランジスターである。

#### 【発明の効果】

#### 【0026】

本発明によれば、大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができる高い移動度を有する有機半導体素子を提供することができる。

#### 【0027】

また、本発明は、動作が安定で、低電圧で駆動することができる素子の寿命も長く、製造方法も簡便にできる有機半導体素子を提供することができる。

また、上記の有機半導体素子を用いた、アクティブマトリクス型表示装置或いは有機半導体素子をICカード電子タグとして用いた有機半導体装置を提供することができる。

#### 【発明を実施するための最良の形態】

#### 【0028】

以下、本発明を詳細に説明する。

本発明の有機半導体素子は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられており、かつ前記有機半導体層に接して主鎖あるいは側鎖に、 $\pi$ 電子共役あるいは芳香環を有する重合体、あるいは共重合体、またはそれらの混合物を含有することにより構成された高分子材料からなる高分子層が設けられている構成からなることを特徴とする。

#### 【0029】

一般的な有機半導体素子は、例えば基板上にゲート電極、ゲート絶縁層、水平に間隔を置くソース電極とドレイン電極、及び有機半導体層によって構成され、ゲート電極に印加される電圧の極性に応じて、蓄積状態または空乏状態の何れかで動作する。そして、一般的な有機半導体素子の構成は、基板上にゲート電極、ゲート絶縁層、有機半導体層、ソース電極とドレイン電極、保護膜の順に構成される逆スタガー構造と、基板上にゲート電極、ゲート絶縁層、ソース電極とドレイン電極、有機半導体層、保護膜の順に構成されるコ

プラナー構造とがあり、ソース電極とドレイン電極が有機半導体層を挟む形の構造が用いられる。

### 【0030】

そして、上記の一般的な有機半導体素子の構成において、本発明の有機半導体素子は、主鎖あるいは側鎖に、 $\pi$ 電子共役あるいは芳香環を有する重合体、あるいは共重合体、またはそれらの混合物を含有することにより構成された高分子材料からなる高分子層を有することを特徴とし、かつ該高分子層を有機半導体層に接した位置に配置して設けることを特徴とする。

### 【0031】

本発明の高分子層を有する有機半導体素子の構成の好ましい実施態様を示すと、下記のとおりである。なお、図2に下記の(a)～(d)の実施態様に相当する有機半導体素子の構成を示す。

図中、101はゲート電極、102は基板、103はゲート絶縁層、104は高分子層、105は有機半導体層、106はソース電極、107はドレイン電極、108は保護膜を示す。

### 【0032】

(a) 基板の表面に、ゲート電極、ゲート絶縁層、高分子層、有機半導体層、ソース電極／ドレイン電極、及び保護膜がこの順に設けられている有機半導体素子(図2(a)参照)。

(b) 基板の表面に、ゲート電極、ゲート絶縁膜、有機半導体層、高分子層、ソース電極／ドレイン電極、及び保護膜がこの順に設けられている有機半導体素子(図2(b)参照)。

(c) 基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極、高分子層、有機半導体層、及び保護膜がこの順に設けられている有機半導体素子(図2(c)参照)。

(d) 基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極のいずれか一方、高分子層、有機半導体層、ソース電極／ドレイン電極のいずれか一方及び保護膜がこの順に設けられている有機半導体素子(図2(d)参照)。

### 【0033】

上記の実施態様に示す本発明の有機半導体素子の構成において、ゲート絶縁層および有機半導体層の間に、主鎖あるいは側鎖に、 $\pi$ 電子共役あるいは芳香環を有する重合体、あるいは共重合体、またはそれらの混合物により構成された高分子材料からなる高分子層が設けられているのが好ましい。

### 【0034】

次に、本発明の有機半導体素子について具体的に説明する。

図1は、本発明の有機半導体素子の一実施態様を示す概略断面図である。

同図1において、本発明の有機半導体素子の一つの構成例は、基板102の表面にゲート電極101が設けられ、その上にゲート絶縁層103が設けられ、該ゲート絶縁層103の表面に高分子層104が設けられ、該高分子層104の上にソース電極106とドレイン電極107が間隔をおいて設けられ、その上に有機半導体層105が高分子層104と両電極106、107と接して設けられ、さらに有機半導体層105の上に保護膜108が設けられている。

### 【0035】

本発明における基板102としては、絶縁性の材料であれば広い範囲から選択することができる。具体的には、ガラス、アルミナ焼結体などの無機材料、ポリイミドフィルム、ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリパラキシレン膜等の各種絶縁性プラスチック等が使用可能である。特にプラスチック基板を用いると、軽量でフレキシブルな有機半導体素子を作製することができ有用である。

### 【0036】

本発明におけるゲート絶縁層103は、例えばポリクロロピレン、ポリエチレンテレフ

タレート、ポリオキシメチレン、シリセスキオキサン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルフルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミド等の有機材料が用いられ、これらの有機材料は塗布法により形成することができる。また、 $\text{SiO}_2$ 、 $\text{SiNx}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 等の無機材料が用いられ、これらの無機材料はマスク蒸着等の既存のパターンプロセスを用いて形成することができる。ゲート絶縁層はゲート電極の金属を酸化させて絶縁膜として使用してもよい。

### 【0037】

本発明における高分子層104は、主鎖あるいは側鎖に $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物により構成された高分子材料からなる。代表例としては以下の(1)～(9)から選ばれる、モノマーの二種以上から得た共重合ポリマー、あるいはそれぞれを単独に重合して得られた重合体、これらの重合体を混合した混合材料等で構成される高分子体である。

### 【0038】

- (1) スチレンや酢酸ビニルのような付加重合（ラジカル重合を含む）が可能なモノマー、
  - (2) エチレングリコールとテレフタル酸との反応により得られるような縮重合が可能なモノマー、
  - (3) エチレングリコールとヘキサメチレンジイソシアナートとの反応に得られるような重付加が可能なモノマー、
  - (4)  $\epsilon$ -カプロラクタムのような開環重合が可能なモノマー、
  - (5) フェノールとホルムアルデヒドとの反応により得られるような付加重合が可能なモノマー、
  - (6) テトラエトキシシランのような縮重合が可能なモノマー、
  - (7) 塩化ビニルのような放射線重合（光重合を含む）が可能なモノマー、 (8) アクリル酸メチルのようなアニオン重合が可能なモノマー、
  - (9) ビニルエーテルのようなカチオン重合が可能なモノマー
- 特に、メタクリル酸メチルおよびジビニルベンゼンの共重合体であることが最も好ましい。

### 【0039】

また、高分子層104の膜厚は5nm以上30nm以下であること、好ましくは5nm以上20nm以下であることが望ましい。

以上の高分子体は、主鎖あるいは側鎖に、 $\pi$ 電子共役あるいは芳香環を有することによって目的のトランジスター特性向上が可能となる。

### 【0040】

$\pi$ 電子共役系を有する有機モノマーの具体例としては、ジエニル基（たとえば1,3-シクロヘキサジエニル基、1,3-ブタンジエニル基等）が挙げられる。

芳香環を有する有機モノマーの具体例には、アリール基（たとえばフェニル基、ナフチル基、アントラセニル基等）および複素アリール基（たとえばイミダゾリル基、ピラゾリル基、ピリジニル基、チアゾリル基、フリル基、インドリル基等）等が含まれるが、環式有機基はこれらに限定されない。それらの基は置換基を有していてもよい。

### 【0041】

高分子体は主鎖側鎖の少なくともいずれかに置換基を有していてもよい、この置換基としてはメチル基、エチル基等のアルキル基、メトキシ基、エトキシ基等のアルコキシ基、クロロ基、フルオロ基等のハロゲン基が挙げられる。また、置換基を有していてもよいナフチル基、アントラニル基、フルオレニル基、ピレニル基、カルバゾリル基等のアリール基、があげられる。

### 【0042】

芳香環式化合物としては、ベンゼン、ナフタレン、アントラセン、フェナントレン、テトラセン、ペンタセン、ペリレン等があげられ、メチル基、エチル基等のアルキル基、メ

トキシ、エトキシ等のアルコキシ基、クロロ基、フルオロ基等のハロゲン基等の置換基を有していてもよい。

【0043】

複素環式化合物としては、ピリジン、イミダゾール、ピロール、チオフェン、フラン、カルバゾール、ナフタレンテトラカルボン酸ジイミド、ペリレンテトラカルボン酸ジイミド、フタロシアニン誘導体、ポルフィリン誘導体等が挙げられ、アルキル基、アルコキシ基、ハロゲン基等の置換基を有してもよい。

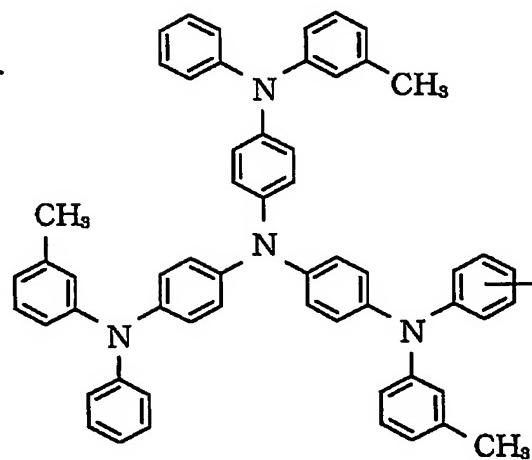
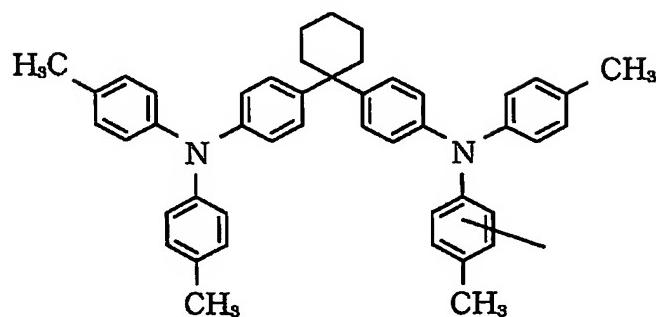
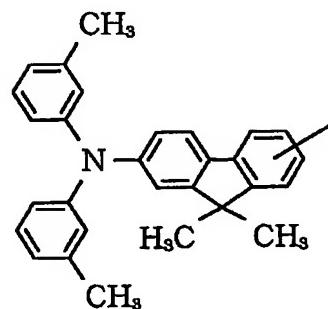
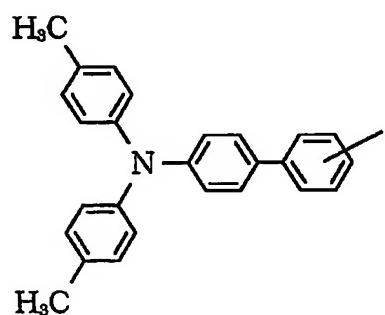
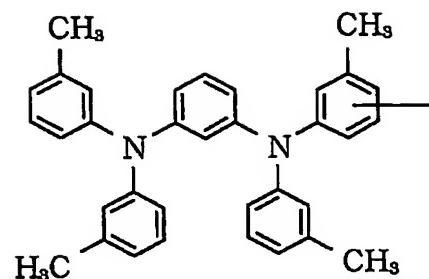
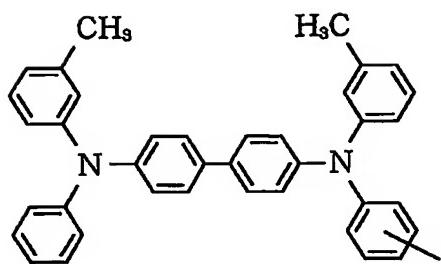
【0044】

以下に具体例を示す。

化1乃至化6は高分子層に含まれる化合物を例示する。特これらは高分子体の主鎖あるいは側鎖に結合して設けられており、更に好ましくは高分子の側鎖に結合して設けられていることが好ましい。

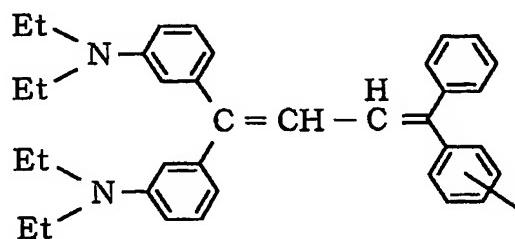
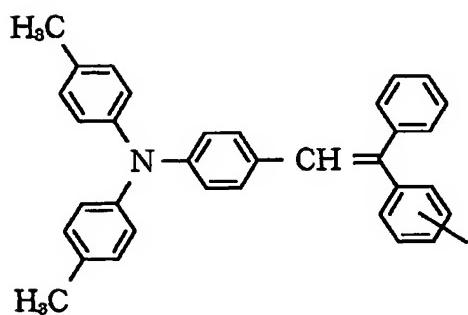
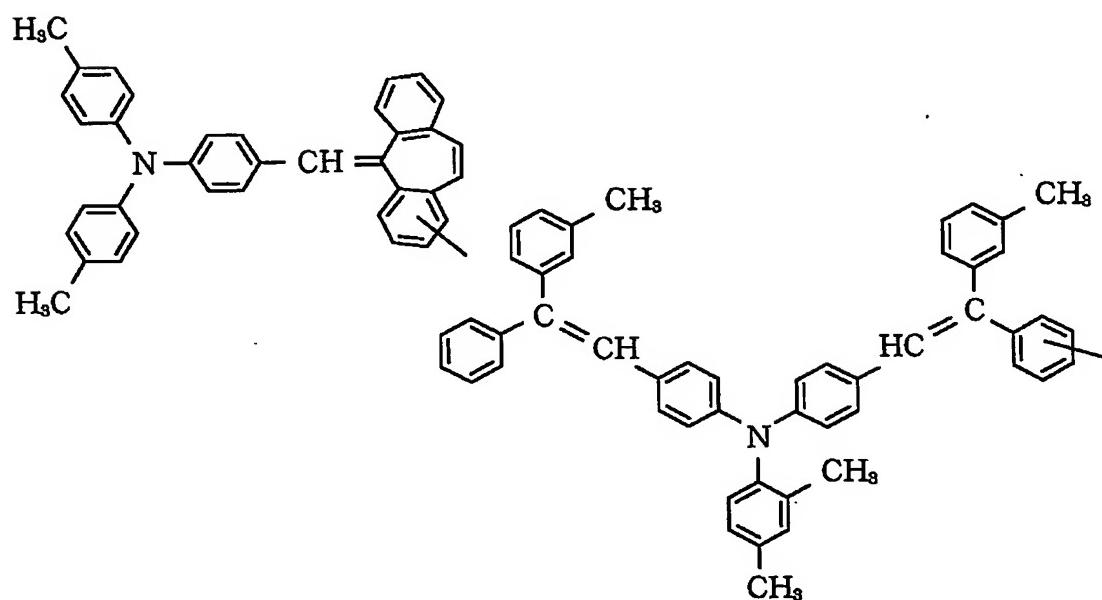
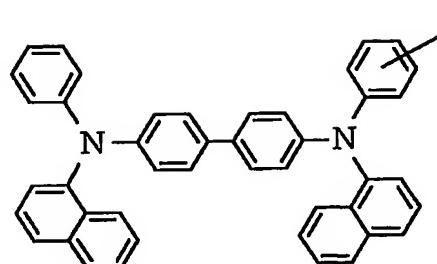
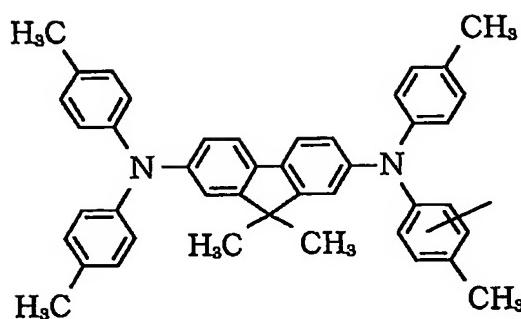
【0045】

【化1】



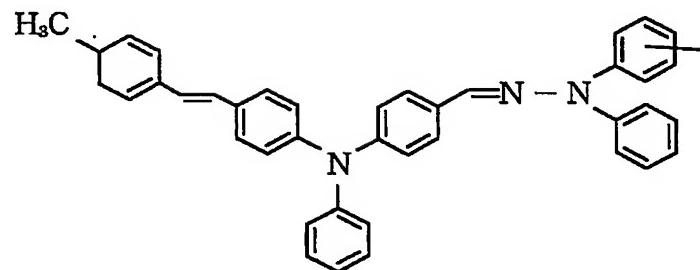
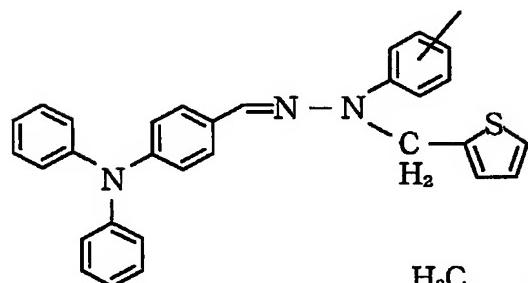
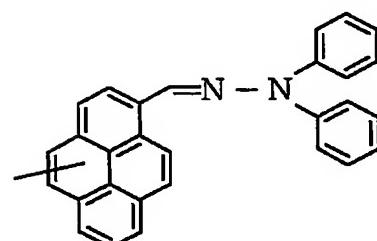
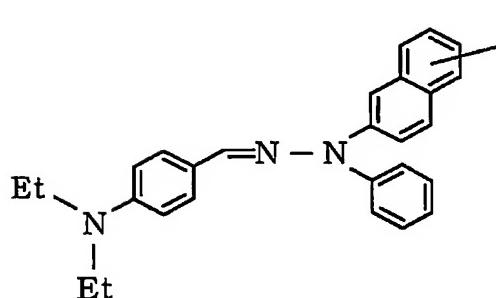
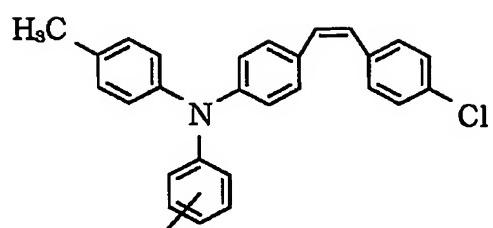
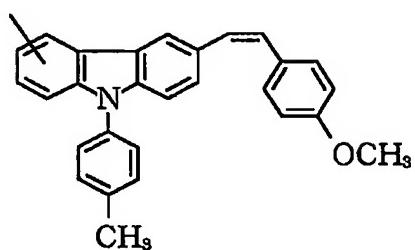
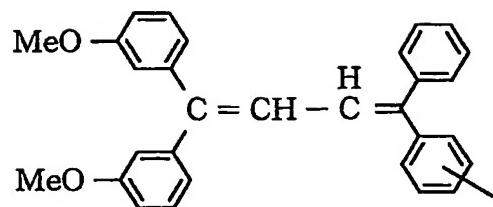
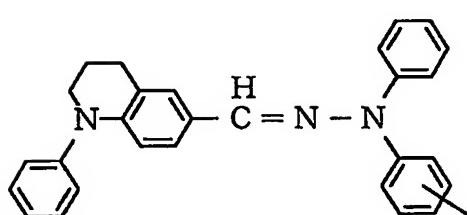
【0046】

【化2】



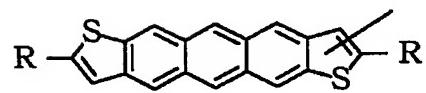
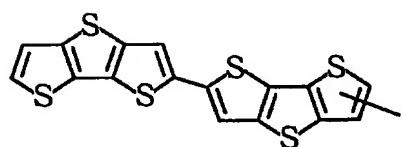
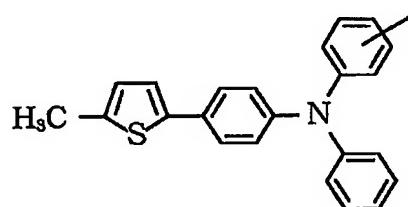
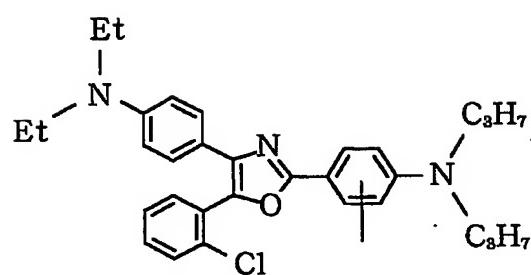
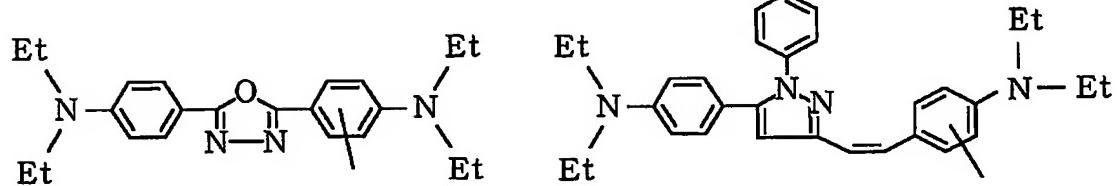
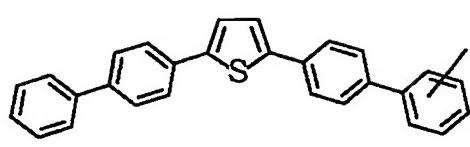
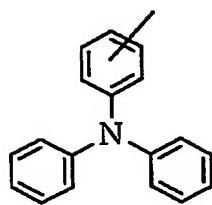
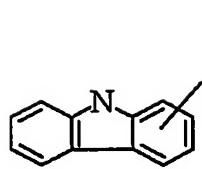
【0047】

【化3】



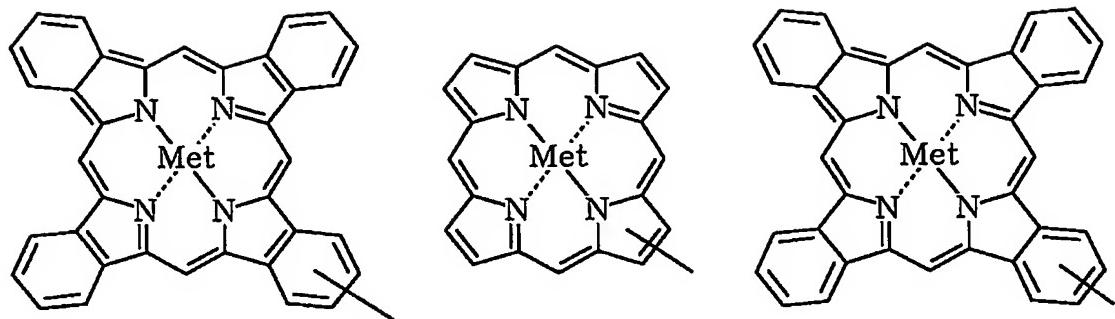
【0048】

【化4】

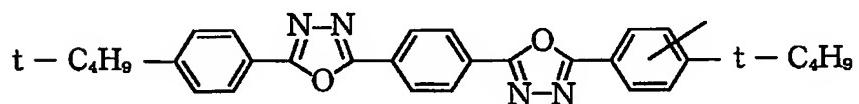
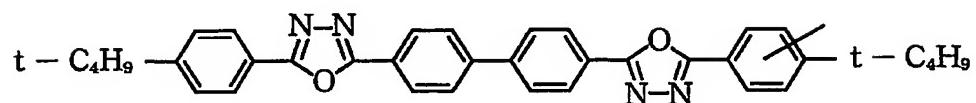
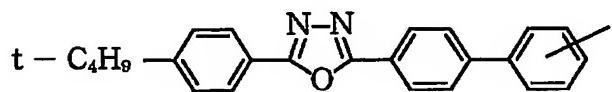


【0049】

【化5】

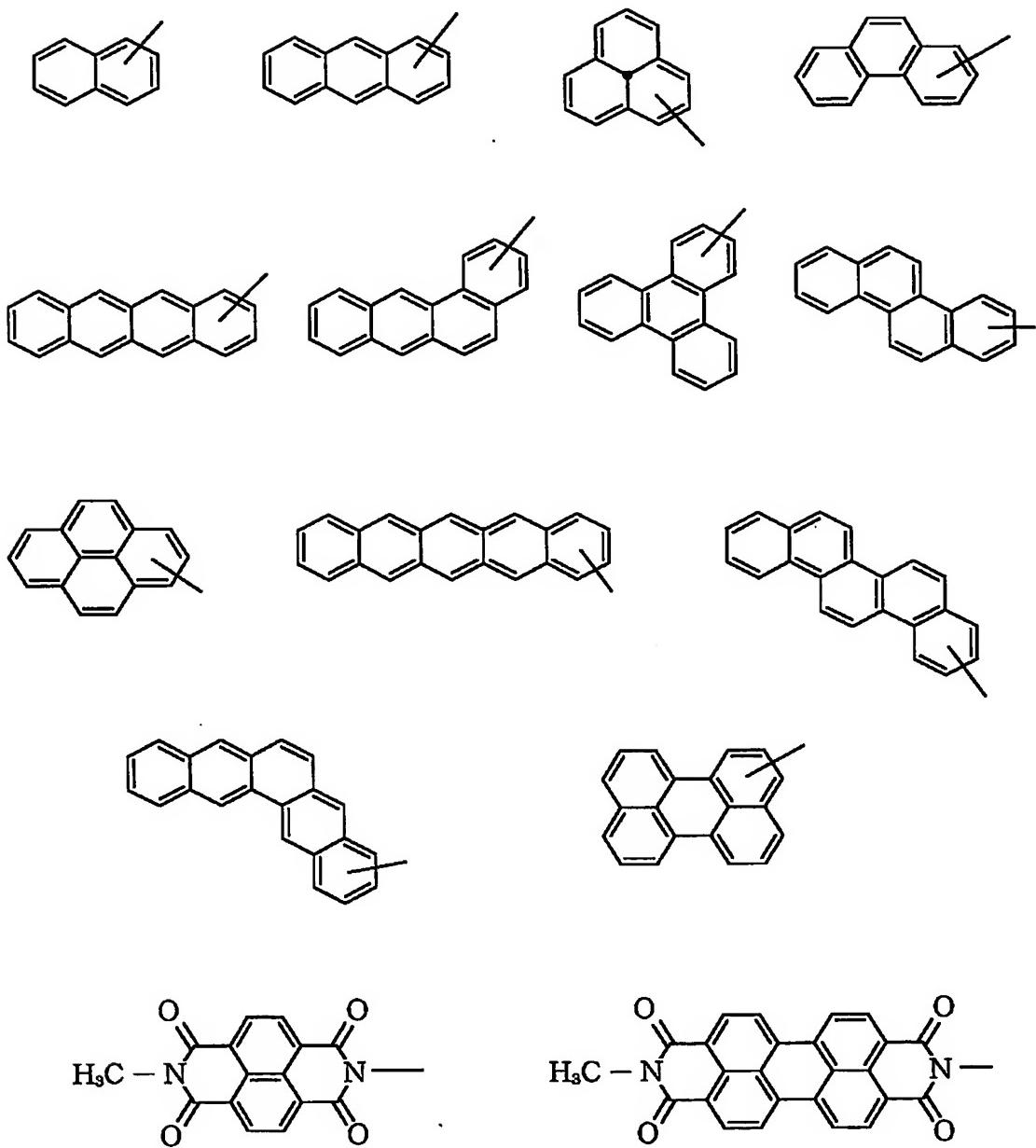


Met : Cu, Mg, AlCl, TiO, SiCl<sub>2</sub>, etc.



【0050】

【化6】



【0051】

以上の主鎖あるいは側鎖に、 $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物により構成された高分子材料からなる高分子層は絶縁膜として使用してもかまわない。

【0052】

本発明におけるゲート電極101としては、ポリアニリン、ポリチオフェン等の有機材料、或いは導電性インク等の材料、また、金、白金、クロム、パラジウム、アルミニウム

、インジウム、モリブデン、ニッケル、等の金属や、これらの金属を用いた合金や、ポリシリコン、アモリファスシリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物（ITO）等の無機材料が用いられ、これらは2種以上併用しても差し支えない。

#### 【0053】

本発明におけるソース電極106及びドレイン電極107の材料としては、金、白金、銀の貴金属類や、ゲート電極であげた金属材料或いは有機導電性材料用いることができる。

#### 【0054】

本発明における有機半導体層105としては、 $\pi$ 電子共役系の芳香族化合物、鎖式化合物、有機顔料、有機けい素化合物等の材料からなるのが望ましい。具体的な材料としては、ペンタセン、テトラセン、アントラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられるが、これらの材料に限定されるわけではない。

#### 【0055】

本発明における保護膜108としてはシリコン樹脂、エポキシ樹脂、ウレタン樹脂、パリレン樹脂等が用いられる。

また、ゲート絶縁層および有機半導体層の間に高分子層が設けられているのが好ましく、この構成により、さらに有機半導体層が前記ゲート絶縁層の表面法線方向に対して周期性を有する様に形成することもできる。周期性とはペンタセン分子の単一層が積層されていくことを意味している。

#### 【0056】

本発明においては、前記高分子層が有機半導体層とゲート絶縁膜の間に設けられており、該高分子層と接するゲート絶縁膜の表面粗さRaが5nm以下、好ましくは20nm以下であることが望ましい。

#### 【0057】

次に、本発明の有機半導体素子の製造方法について説明する。

本発明の有機半導体素子の製造方法は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられている有機半導体素子の製造方法において、前記有機半導体層に接して、スピンドルコートまたはスプレー塗布法により、主鎖あるいは側鎖に、 $\pi$ 電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物により構成された高分子材料からなる高分子層を形成する。

#### 【0058】

本発明での高分子層以外の各電極および層の形成方法は公知の方法により行なうことができる。

すなわちプラズマCVD法、スパッタ法等、スピンドルコート法、キャスト法、引き上げ法、真空蒸着法、インクジェット法による、薄膜形成方法が用いられ、パターン加工には、既存のフォトリソグラフ法とドライエッチング或いはウエットエッチング法が用いられる。

、  
本発明の有機半導体素子の製造方法は、前記有機半導体層に接して設けられる高分子層の形成方法に特徴を有するものである。

#### 【0059】

図1の有機半導体素子の製造方法を例に説明すると、基板102の表面に、ゲート電極101およびゲート絶縁層103を形成した後、該ゲート絶縁層103の上にスピンドルコートまたはスプレー塗布法により高分子層104を形成する。次に、該高分子層104の上にソース電極106およびドレイン電極107を形成した後、有機半導体層105を蒸着により成膜する。

#### 【0060】

すなわち本発明における、高分子層の形成方法は、上記の様にスピンドルコート法あるいはスプレー塗布法により形成するのが望ましい。例えば、スピンドルコート法は、前記メタクリル酸メチルおよびジビニルベンゼンの共重合体をシクロヘキサンやキシレン、酢酸エチ

ル等の溶媒に所定の濃度で溶解させた溶液を作製し、500 rpmで10秒保持して、3000 rpmにて30秒保持して塗布することが望ましい。スプレー塗布法の場合は、エアースプレー方式あるいはエアレス方式で行なわれ、霧化した条件での微粒子径が細ければ細かいほど好ましい。溶液の濃度、回転数により膜厚は変化する傾向にあるが、同じ塗布条件でもポリマーの吸着力や分子量によって膜の形態が大きく変わるために、適宜、最適な塗布条件で塗布すればよい。

#### 【0061】

本発明においては、上記のスピンドルコート法あるいはスプレー塗布法を用いることにより、高分子層を形成することができる。溶剤の選択や製造条件によっては均一な膜が形成されずに不均一な島状突起が分散して形成される場合があるが、本発明においては均一な連続膜であることが確認されている。ただし、分子レベルでの表面状態は現時点では観察できていない。

#### 【0062】

また、前記ゲート絶縁層上にスピンドルコートまたはスプレー塗布法により高分子層を形成した後、有機半導体層を50℃～200℃、好ましくは60℃～180℃の温度条件下で加熱成膜するのが好ましい。この温度条件下で有機半導体層を形成すると、例えばペニタセン誘導体を蒸着成膜すると、ペニタセン誘導体膜のC軸配向率が85%以上となることができるので好ましい。

#### 【0063】

次に、本発明は、上記の有機半導体素子をIC情報電子タグとして用いることを特徴とする有機半導体装置である。

本発明のIC情報電子タグとして用いる有機半導体装置の例として電子タグスマートカードについて説明する。バーコード又は符号によって品物にタグをつけ光学的な文字の認識を容易にすることは、置き忘れや紛失をしやすい製品目録、手荷物、紙の伝票、又は他の移動可能な品物を識別し探知するために、長い間行われてきた。このような光学的に知覚されるタグは、識別のために見えるように維持される必要があるが、表面のきずあとやその他の損傷によって簡単に読み取れなくなってしまう。探知の信頼性を向上するために、無線周波数に基づいた電子タグを使う方法が試みられてきている。このようなタグは典型的には、データの保存のための半導体メモリと、処理ロジックと、データを放送するためのアンテナとを備え、その全てがエポキシ樹脂等の熱硬化性樹脂、熱可塑性樹脂、または他の適切なプラスチックの容器に埋め込まれている。

#### 【0064】

データ保存の容量の範囲は、典型的には数ビットから数キロビットにおよび、典型的には64ビットである。タグは、読み出し専用記録装置（ロム（ROM））、電気的にプログラム可能又は消去可能ロム（EEPROMやEEPROM）、またはフラッシュメモリを含むことができる。電子タグは、長持ちする小さな電池、光起電性電力、熱変換器、外部から加えられた電磁エネルギーに依存する誘導電力変換器、またはその他の適切な電源によって、動力を供給される。これらの電子タグを有機半導体素子を用いた回路で形成することにより、製造プロセスが簡略化され、低価格化が可能となる。

#### 【0065】

次に、本発明は、上記の有機半導体素子をアクティブ素子として用いることを特徴とするアクティブマトリクス型表示装置である。

アクティブマトリクス液晶表示装置とは、表示部を構成している画素ごとにアクティブマトリクス素子が付加され、これを通して液晶に電圧が印加されるものである。駆動法としては以下の方式が取られる。n行の走査線とm列の信号線からなるn×mマトリクス配線の交点に、TFT等のアクティブマトリクス素子が設けられ、TFTのゲート電極は走査線に、ドレン電極は信号線に、ソース電極は画素電極に接続される。走査線にはアドレス信号、信号線には表示信号が供給され、オン／オフ信号が乗せられたアドレス信号で制御されるTFTスイッチを介して、画素電極上の液晶を動作させる。有機半導体素子をスイッチング素子に適用した場合、製造プロセスが簡易化され、低価格化が可能となる。

## 【実施例】

【0066】

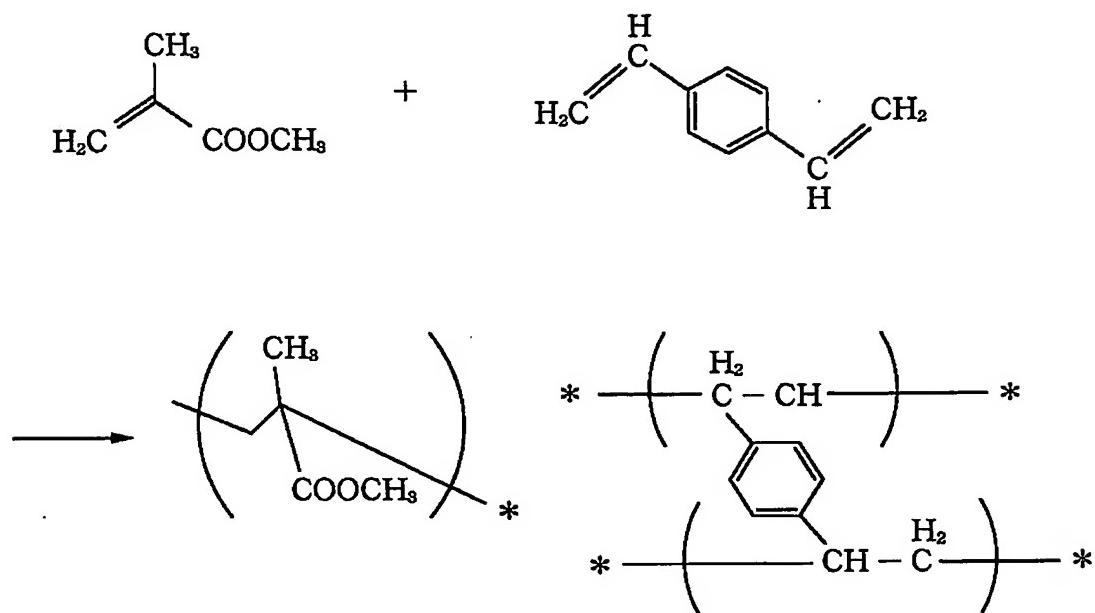
## 合成例 1

本発明の有機半導体素子に用いるメタクリル酸メチルおよびジビニルベンゼンの共重合体の合成法の一例を下記の反応式（1）に示す。

【0067】

【化7】

## 反応式（1）



【0068】

トルエンの還流温度下（110℃～120℃）にメタクリル酸メチルおよびジビニルベンゼン、重合開始剤の混合液を滴下した。その後、80℃まで降温させ、3時間保温した。放冷した後、メタノール中へ再沈殿させ、デカンテーションしてメタノールで洗浄後、ろ過し、減圧加熱乾燥により目的の高分子を得た。

【0069】

得られた高分子の<sup>1</sup>H-NMR（日本電子社製、共鳴周波数400MHz、溶媒CDCl<sub>3</sub>、外部基準物質TMS、室温で測定）スペクトルの解析結果よりメタクリル酸メチル/ジビニルベンゼンの共重合比（モノマーユニット比）は、1:0.011であった。

上記の方法を用いて共重合化率0.001から0.05の範囲の共重合体を作成した

【0070】

## 実施例 1

本実施例で使用した基板は、ポリイミド基板である。基板の厚みは125μmで宇部興産製のユーピロン（商品名）を使用した。

次に、電極は銅をスパッタリングにて成膜しフォトリソグラフィーにてパターニング加工してゲート電極配線を作成した。更にその上にゲート絶縁膜としてシリセスキオキサン系の塗布型の絶縁膜を形成し、230℃で焼成して半導体用の基板とした。

【0071】

ポリイミド基板の洗浄法は以下の通りである。純度99%以上のアセトンにシリコン基板をつけ超音波洗浄を1分間行い、その後、純水につけ超音波洗浄を5分間行う工程を、

それぞれ2回実施した。洗浄後、純水をN<sub>2</sub>ガスで吹き払った後、波長184.9nm、253.7nmの紫外(UV)光を強度100mW、照射時間20sec間の条件で照射し、有機汚染物を除去した。

## 【0072】

合成例1で作成した共重合体比1:0.011の共重合体を用いて、高分子層を形成した。成膜の条件は、スピンドルコート法でキシレン希釈の0.1%共重合体溶液を500rpmで10秒保持した後、3000rpmで成膜した。膜厚は20nmだった。

## 【0073】

その後にスクリーン印刷法にて電極を形成した。印刷に用いた材料は日本ペイント製の銀コロイド導電ペーストを用いた。印刷後の焼成温度は200℃で行った。

次に、本発明による有機半導体素子に用いるペントセン蒸着膜の作製方法を説明する。

## 【0074】

ペントセンは、市販の粉末を昇華法により精製し、真空蒸着装置した。ペントセン蒸着膜の作製条件は以下の通りである。蒸着装置チャンバー内の到達真空度は、3~5×10<sup>-4</sup>Paである。前記ペントセン粉末をK-cellに入れ、ポート上約20cmの位置に基板を置き、セルを約260℃に加熱して、ペントセンを昇華させて基板表面上に蒸着した。基板の加熱はヒーターボードを用いて125℃として、ヒーターボードの基板とほぼ同じ高さに水晶振動子を置き、振動子の共鳴周波数の変化から、膜厚及び蒸着速度を算出した。ペントセン膜の膜厚は100nmにした。

## 【0075】

特性評価には、HPパラメータアナライザー(HP4156C)を用いて、以下の計算式(1)を用いてトランジスター特性の移動度を算出した。

## 【0076】

## 【数1】

$$\text{移動度 } \mu = (V_g - \sqrt{I_d \text{ の直線領域の傾き}})^2 \times (1/C_i) \times (L/2W) \quad (\text{式1})$$

## 【0077】

なお、V<sub>g</sub>、I<sub>d</sub>、C<sub>i</sub>、L/2Wのそれぞれの単位は、順にV、A=C/S、C/cm<sup>2</sup>、無単位である。この式(1)に基づいて移動度を求めることができる。移動度はcm<sup>2</sup>/Vsで示すことができる。

## 【0078】

ここで、C<sub>i</sub>はゲート絶縁膜の1×1cm<sup>2</sup>の静電容量である。W、Lはそれぞれチャネル長およびチャネル幅である。V<sub>g</sub>はゲート電圧、I<sub>d</sub>はドレイン電流である。

高分子層を成膜した場合の移動度は1.12cm<sup>2</sup>/Vsを示し、ON/OFF比は2.20E+08、V<sub>th</sub>は-5Vだった。

## 【0079】

## 比較例1

実施例1と全く同様にしてトランジスターを作成した。ただし高分子層は成膜しなかった。この場合のトランジスターの移動度は0.06cm<sup>2</sup>/Vs、ON/OFF比は2.5E+06、V<sub>th</sub>は-15Vであった。

## 【0080】

## 実施例2から17

絶縁膜の上の高分子層の共重合比率を0.001から0.04まで変えて、実施例1と全く同様にしてトランジスターを作成した。その結果を表1に示す。

## 【0081】

【表1】

表 1

高分子層の共重合化率とトランジスタ特性の比較（膜厚20nm）

| 実施例 | 共重合化率 | 皮膜状態 | 移動度<br>(cm <sup>2</sup> /Vs) | ON/OFF 比   | V <sub>th</sub> (V) |
|-----|-------|------|------------------------------|------------|---------------------|
| 1   | 0.011 | 良    | 1.12                         | 2.20E + 08 | - 5                 |
| 2   | 0.001 | 良    | 0.65                         | 2.90E + 08 | - 12                |
| 3   | 0.002 | 良    | 0.68                         | 3.20E + 08 | - 15                |
| 4   | 0.003 | 良    | 0.76                         | 5.20E + 08 | - 16                |
| 5   | 0.004 | 良    | 0.83                         | 4.80E + 08 | - 18                |
| 6   | 0.005 | 良    | 0.75                         | 5.10E + 08 | - 19                |
| 7   | 0.006 | 良    | 0.69                         | 6.20E + 08 | - 15                |
| 8   | 0.007 | 良    | 0.89                         | 8.20E + 08 | - 12                |
| 9   | 0.008 | 良    | 1.05                         | 7.70E + 08 | - 19                |
| 10  | 0.009 | 良    | 1.12                         | 9.25E + 08 | - 21                |
| 11  | 0.01  | 良    | 1.35                         | 1.23E + 08 | - 22                |
| 12  | 0.015 | 良    | 1.2                          | 1.22E + 08 | - 23                |
| 13  | 0.02  | 良    | 1.02                         | 1.02E + 08 | - 15                |
| 14  | 0.025 | 良    | 0.6                          | 6.50E + 07 | - 12                |
| 15  | 0.03  | 良    | 0.6                          | 3.20E + 07 | - 12                |
| 16  | 0.035 | 良    | 0.3                          | 1.20E + 07 | - 6                 |
| 17  | 0.04  | 良    | 0.32                         | 9.50E + 06 | - 5                 |

## 【0082】

比較例2から4

実施例1と全く同様にしてトランジスターを作成した。ただし、絶縁膜上の高分子層の共重合比率を0.045（比較例2）、0.050（比較例3）、0（PMMA単体）（比較例4）にした。結果を表2に示す。

## 【0083】

【表2】

表 2

比較例

| 比較例 | 共重合化率 | 皮膜状態   | 移動度<br>(cm <sup>2</sup> /Vs) | ON/OFF 比   | V <sub>th</sub><br>(V) |
|-----|-------|--------|------------------------------|------------|------------------------|
| 1   | なし    |        | 0.06                         | 2.50E + 06 | - 15                   |
| 2   | 0.045 | 皮膜形成せず | 0.02                         | 2.10E + 05 | - 12                   |
| 3   | 0.05  | 皮膜形成せず | 0.02                         | 5.50E + 04 | - 13                   |
| 4   | 0     | 良      | 0.06                         | 5.40E + 05 | - 18                   |

## 【0084】

(注) 共重合比率は、モノマーユニット比でメタクリル酸メチル1に対するジビニルベンゼンの割合を示す。

共重合化率が、0.001から0.040の範囲であれば特性の良いトランジスターが得られることがわかる。中でも0.001から0.02の範囲で特性がよかつた。また0.40を超えると高分子層の膜性が著しく悪くなり同時にトランジスターの特性も悪くなることが分かる。またポリメタクリル酸メチルのみ(共重合化率0)の場合、膜性は良いものの、トランジスター特性は良くなかった。

## 【0085】

## 実施例18から28

次に、基板としてガラス繊維にて強化されたエポキシ基板上に、銅箔を張り合わせた後、フォトリソでパターニングしゲート電極とした。さらにスパッタリングにてTa<sub>2</sub>O<sub>5</sub>を絶縁膜として、表面粗さ3nmに形成したものを基板として用いた。実施例1で用いたメタクリル酸メチル/ジビニルベンゼンの共重合比(モノマーユニット比)の割合を一定(1/0.01)として、絶縁膜上に塗布し実施例1と同様にしてトランジスターを作成し、高分子層の膜厚とトランジスターの特性を調べた。その結果を表3に示す。

## 【0086】

【表3】

表3 膜厚と移動度の関係

| 実施例 | 膜厚 (nm) | 移動度<br>(cm <sup>2</sup> /Vs) | ON/OFF 比   | V <sub>th</sub> (V) |
|-----|---------|------------------------------|------------|---------------------|
| 18  | 5       | 0.5                          | 1.00E + 07 | 12                  |
| 19  | 7.5     | 0.65                         | 1.22E + 08 | -5                  |
| 20  | 10      | 0.7                          | 1.35E + 07 | -12                 |
| 21  | 12.5    | 0.85                         | 2.25E + 07 | -23                 |
| 22  | 15      | 1.03                         | 3.21E + 07 | -24                 |
| 23  | 17.5    | 1.25                         | 2.50E + 07 | -30                 |
| 24  | 20      | 1.5                          | 8.52E + 07 | -21                 |
| 25  | 22.5    | 0.88                         | 3.25E + 06 | -17                 |
| 26  | 25      | 0.7                          | 2.31E + 06 | -21                 |
| 27  | 27.5    | 0.45                         | 2.60E + 06 | -26                 |
| 28  | 30      | 0.4                          | 5.21E + 06 | -30                 |

【0087】

比較例5から8

実施例18と同様にしてトランジスターを作成した。ただし高分子層の膜厚を1 nmおよび35 nm以上とした。この結果を表4に示す

【0088】

【表4】

表4 比較例

| 比較例 | 膜厚 (nm) | 移動度<br>(cm <sup>2</sup> /Vs) | ON/OFF 比   | V <sub>th</sub> (V) |
|-----|---------|------------------------------|------------|---------------------|
| 5   | 35      | 0.2                          | 2.31E + 04 | - 10                |
| 6   | 40      | 0.02                         | 4.60E + 03 | - 2                 |
| 7   | 45      | 0.03                         | 3.24E + 03 | - 1                 |
| 8   | 1       | 0.1                          | 1.00E + 03 | 24                  |

## 【0089】

表3. 4より、高分子層の膜厚は5 nmから30 nmの範囲にある場合にトランジスターの特性がよいことが分かる。特に5 nmから20 nmの範囲にある場合、移動もON/OFF比も高かった。

## 【0090】

## 実施例29から41

基板にガラスを用いて更にゲート電極にAlを用い、実施例1と同様なプロセスでパターニングした後、スパッタリングにてAl<sub>2</sub>O<sub>3</sub>の絶縁膜を形成した。絶縁膜の表面粗さは基板温度、スパッタ速度を変えることで変更した。その後実施例1と同様に高分子層を形成し、絶縁膜の表面粗さと高分子層の関係を調べた。その結果を表5に示す。

## 【0091】

【表5】

表5 ゲート絶縁膜表面粗さと高分子層の関係

| 実施例 | ゲート絶縁膜表面粗さ<br>Ra (nm) | 高分子層<br>の厚さ<br>(nm) | 高分子層<br>表面の<br>状態 | 移動度<br>(cm <sup>2</sup> /Vs) | ON/OFF<br>比 | V <sub>th</sub><br>(V) |
|-----|-----------------------|---------------------|-------------------|------------------------------|-------------|------------------------|
| 29  | 0.1                   | 20                  | 良                 | 1.2                          | 2.60E + 07  | -12                    |
| 30  | 0.3                   | 20                  | 良                 | 0.98                         | 6.30E + 08  | -25                    |
| 31  | 0.5                   | 20                  | 良                 | 1.32                         | 2.30E + 08  | -16                    |
| 32  | 1                     | 20                  | 良                 | 1.25                         | 3.20E + 08  | -16                    |
| 33  | 2                     | 20                  | 良                 | 1.52                         | 1.20E + 08  | -18                    |
| 34  | 2.3                   | 20                  | 良                 | 1.32                         | 3.20E + 08  | -19                    |
| 35  | 2.5                   | 20                  | 良                 | 1.22                         | 2.20E + 08  | -21                    |
| 36  | 3.2                   | 20                  | 良                 | 0.98                         | 1.90E + 08  | -12                    |
| 37  | 3.5                   | 20                  | 良                 | 0.78                         | 5.60E + 07  | -21                    |
| 38  | 4.1                   | 20                  | 良                 | 0.65                         | 8.60E + 07  | -19                    |
| 39  | 4.5                   | 20                  | 良                 | 0.67                         | 5.60E + 07  | -18                    |
| 40  | 4.7                   | 20                  | 良                 | 0.39                         | 3.20E + 07  | -15                    |
| 41  | 5                     | 20                  | 良                 | 0.54                         | 1.62E + 06  | -12                    |

【0092】

比較例9から13

実施例29と全く同様にしてトランジスターを作成した。ただしゲート絶縁膜の表面粗さを5.2 nm以上にした。そのトランジスターの特性を表6に示す。

【表6】

表 6 比較例

| 比較例 | ゲート絶縁膜表面粗さ<br>Ra (nm) | 高分子層<br>の厚さ<br>(nm) | 高分子層<br>表面の<br>状態 | 移動度<br>(cm <sup>2</sup> /Vs) | ON/OFF<br>比 | V <sub>th</sub><br>(V) |
|-----|-----------------------|---------------------|-------------------|------------------------------|-------------|------------------------|
| 9   | 5.2                   | 20                  | 表面荒れ              | 0.21                         | 1.85E + 05  | - 14                   |
| 10  | 5.7                   | 20                  | 表面荒れ              | 0.12                         | 8.56E + 05  | - 13                   |
| 11  | 6.2                   | 20                  | 表面荒れ              | 0.03                         | 2.30E + 03  | - 6                    |
| 12  | 7                     | 20                  | 表面荒れ              | 0.04                         | 1.30E + 03  | - 2                    |
| 13  | 8.3                   | 20                  | 表面荒れ              | 0.06                         | 9.56E + 02  | 3                      |

## 【0093】

表5、6より、ゲート絶縁膜の表面粗さが5 nm以下にある場合トランジスターの特性が特に良くなることがわかった

## 【0094】

実施例42から45

実施例1と同様の方法でトランジスターを作成した。ただし、高分子層としてそれぞれ次の高分子材料を使用した。

実施例42：ポリプロピレンカーボナート／ポリエーテルスルホンの混合材料、

実施例43：ナイロン-6／ポリ(3-フェニレン-3-フタル酸アミド)の混合材料

実施例44：ポリフッ化ビニリデン／ポリビニルフェノールの混合材料

実施例45：ポリアセタール／ポリ(N-ビニルカルバゾール)の混合材料

これらのトランジスター特性を実施例1と同様に測定した。結果を表7に示す。

## 【0095】

【表7】

表7 各種高分子材料と特性

| 実施例 | 高分子材料                                | 移動度<br>(cm <sup>2</sup> /Vs) |
|-----|--------------------------------------|------------------------------|
| 42  | ポリプロピレンカーボネート<br>／ポリエーテルスルホンの混合材料    | 0.54                         |
| 43  | ナイロン-6／ポリ(3-フェニレン<br>-3-フタル酸アミド)混合材料 | 0.82                         |
| 44  | ポリフッ化ビニリデン<br>／ポリビニルフェノール混合材料        | 0.69                         |
| 45  | ポリアセタール／ポリ(N-<br>ビニルカルバゾール)混合材料      | 1.25                         |

## 【0096】

## 比較例14

実施例1と同様の方法でトランジスターを作成した。ただし高分子層には $\pi$ 電子共役系を持たないポリビニルアルコールを用いた。移動度は $0.001\text{ cm}^2/\text{Vs}$ であった。

## 【0097】

## 実施例46

基本的な実施形態は図1と同様な構成で、電極を半導体の下側にある場合と上側にある場合、さらには交互にある場合について、比較検討を行った。特にどの電極配置でも高分子層が界面に存在する場合は優れた特性を示した。

## 【産業上の利用可能性】

## 【0098】

本発明は、大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレン電流を大きく変調させることができる高い移動度を有する有機半導体素子として利用することができる。

## 【0099】

また、本発明は、動作が安定で、低電圧で駆動することができる素子の寿命も長く、製造方法も簡便にできる有機半導体素子として利用することができる。

また、上記の有機半導体素子を用いた、アクティブマトリクス型表示装置或いは有機半導体素子をICカード電子タグとして用いた有機半導体装置として利用することができる。

## 【図面の簡単な説明】

【0100】

【図1】本発明の有機半導体素子の一実施態様を示す概略断面図である。

【図2】本発明の有機半導体素子の他の実施態様を示す概略断面図である。

【符号の説明】

【0101】

101 ゲート電極

102 基板

103 ゲート絶縁層

104 高分子層

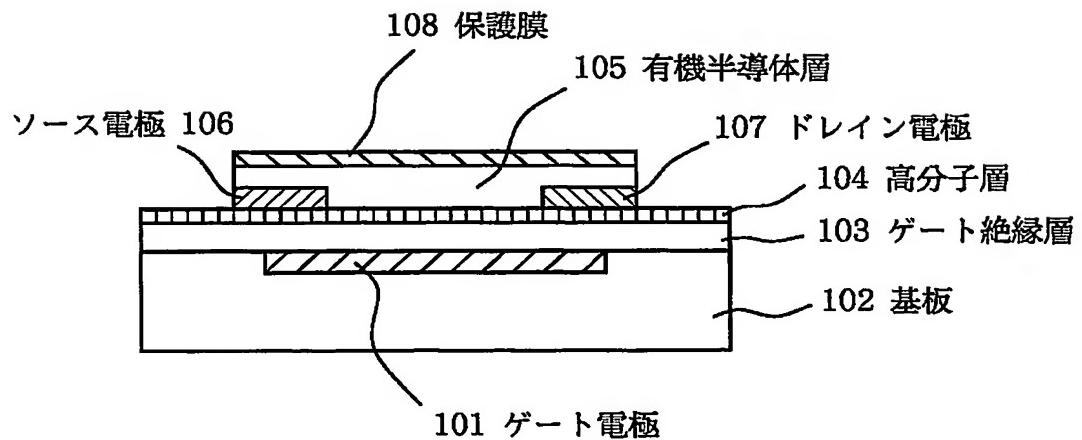
105 有機半導体層

106 ソース電極

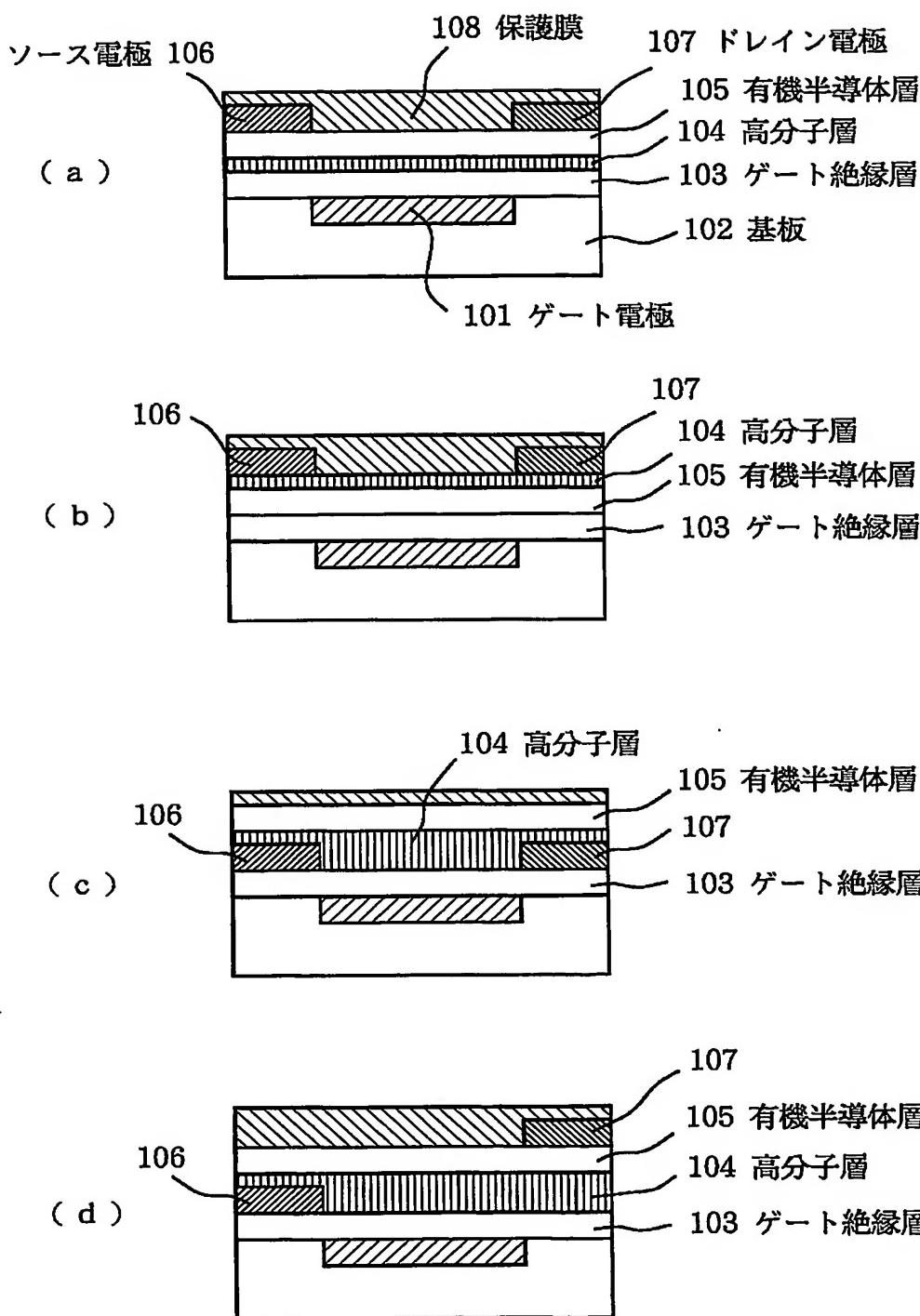
107 ドレイン電極

108 保護膜

【書類名】 図面  
【図 1】



【図 2】



【書類名】要約書

【要約】

【課題】 大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができる高い移動度を有する有機半導体素子を提供する。

【解決手段】 主鎖あるいは側鎖にπ電子共役あるいは芳香環を有する重合体あるいは共重合体、またはそれらの混合物を含有する高分子層が有機半導体層に接して設けられている有機半導体素子。高分子層はメタクリル酸メチル（A）およびジビニルベンゼン（B）の共重合体からなり、共重合比率はA:B=1:0.001~0.04である。

【選択図】 なし

特願 2003-351159

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都大田区下丸子3丁目30番2号

氏名 キヤノン株式会社